

Japanese Patent No. 3186941 (P3186941)

(A) Relevance to Claims

The following is a translation of passages related to claims 1, 13-16 of the present invention.

(B) A translation of the Relevant Passages

[Claim 1] A semiconductor chip, characterized in that it comprises:

a substrate; and
electrode pads provided on a front side of the substrate,

wherein:

the substrate has a through hole formed from a back side of the substrate for at least one of the electrode pads, the through hole reaching a back and having an interior wall covered with an insulating film; and

a metal bump is provided so that the bump is in contact with the back of the electrode pads and protrudes from the back side of the substrate through the through hole having an interior wall covered with an insulating film.

[Claim 5] A chip-stack semiconductor module, characterized in that it comprises a semiconductor chip as set forth in any one of claims 1 through 4 stacked vertically on another semiconductor chip with an electrode pad on a front side of a substrate,

wherein

the metal bump on the back side of the semiconductor chip and the electrode pad on the front side of the other semiconductor chip below the semiconductor chip are connected together via an anisotropic conductive film so as to face each other.

[Claim 6] A chip-stack semiconductor module, characterized in that it comprises a semiconductor chip as set forth in either one of claims 3 and 4 stacked vertically on another semiconductor chip with an electrode pad on a front side of a substrate,

wherein

the metal bump and the electrode pad are connected together via the plating layer.

[0012]

[Means to Solve the Problems] To achieve the objectives, a semiconductor chip of claim 1 is characterized in that it

P3186941

03R00680

comprises:

a substrate; and

electrode pads provided on a front side of the substrate,

wherein:

the substrate has a through hole extending from a back side of the substrate to a back of the electrode pads, the through hole having an interior wall covered with an insulating film; and

a metal bump is provided so that the bump is in contact with the back of the electrode pads and protrudes from the back side of the substrate through the through hole having an interior wall covered with an insulating film.

[0014] A chip-stack semiconductor module of claim 5 is characterized in that it comprises a semiconductor chip as set forth in any one of claims 1 through 4 stacked vertically on another semiconductor chip with an electrode pad on a front side of a substrate,

wherein

the metal bump on the back side of the semiconductor chip and the electrode pad on the front side of the other semiconductor chip below the semiconductor chip are

connected together via an anisotropic conductive film so as to face each other.

[0015] A chip-stack semiconductor module of claim 6 is characterized in that it comprises a semiconductor chip as set forth in either one of claims 3 and 4 stacked vertically on another semiconductor chip with an electrode pad on a front side of a substrate,

wherein

the metal bump and the electrode pad are connected together via the plating layer.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3186941号
(P3186941)

(45) 発行日 平成13年7月11日 (2001.7.11)

(24) 登録日 平成13年5月11日 (2001.5.11)

(51) Int.Cl. ¹	識別記号	F I	
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 C
21/60		21/60	3 1 1 S
	3 1 1	25/08	Z
25/04		25/04	Z
25/065		21/92	6 0 2 M

請求項の数 7 (全 11 頁) 最終頁に続く

(21) 出願番号 特願平7-19271
(22) 出願日 平成7年2月7日 (1995.2.7)
(65) 公開番号 特開平8-213427
(43) 公開日 平成8年8月20日 (1996.8.20)
審査請求日 平成10年12月25日 (1998.12.25)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 田島 直之
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内
(74) 代理人 100062144
弁理士 青山 保 (外1名)

審査官 守安 太郎

(56) 参考文献 特開 昭60-79763 (J P, A)
特開 昭62-209845 (J P, A)
特開 平5-63137 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体チップおよびマルチチップ半導体モジュール

(57) 【特許請求の範囲】

【請求項1】 基板と、

この基板の表面側に設けられた複数の電極パッドを備え、

上記基板に、この基板の裏面側から上記電極パッドの少なくとも1つには裏面に達する貫通穴が形成され、この貫通穴の内壁は絶縁膜で覆われており、

上記電極パッドの上記裏面に接触し、上記絶縁膜で内壁が覆われた上記貫通穴を通して上記基板の裏面側に突出する金属バンプが設けられていることを特徴とする半導体チップ。

【請求項2】 上記貫通穴が上記基板の表面側より裏面側の開口面積が大きいテーパ状になっていることを特徴とする、請求項1に記載の半導体チップ。

【請求項3】 上記金属バンプの上記基板裏面側の露出

面が、上記金属バンプの材料よりも低融点の材料からなるメッキ層で覆われていることを特徴とする、請求項1又は請求項2に記載の半導体チップ。

【請求項4】 上記メッキ層が金又は半田からなることを特徴とする、請求項1乃至請求項3のいずれかに記載の半導体チップ。

【請求項5】 請求項1乃至請求項4のいずれかに記載の半導体チップを、基板の表面側に電極パッドを有する別の半導体チップ上に積み重ねられた状態で備え、

上記一の半導体チップの裏面側の上記金属バンプと、上記一の半導体チップの下側に存する半導体チップの表面側の上記電極パッドとが、互いに対向して異方性導電膜を介して接続されていることを特徴とするマルチチップ半導体モジュール。

【請求項6】 請求項3又は請求項4に記載の半導

3

体チップを、基板の表面側に電極パッドを有する別の半
導体チップ上に積み重ねられた状態で備え、
上記金属バンプと上記電極パッドとが上記メッキ層を介
して接続されていることを特徴とするマルチチップ半導
体モジュール。

【請求項7】 請求項6に記載のマルチチップ半導体モ
ジュールにおいて、

上記下側に存する半導体チップの上記電極パッドの表面
に、上記金属バンプのメッキ層の材料と合金を形成し得
る材料からなるメッキ層が設けられていることを特徴と
するマルチチップ半導体モジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、複数の半導体チップ
が積み重ねられた構造を持つマルチチップ半導体モジュ
ールに関する。また、そのようなマルチチップ半導体モ
ジュールを構成するのに用いられる半導体チップに関する。

【0002】なお、この発明のマルチチップ半導体モジュ
ールは、半導体チップ同士が積層されている点で、1
枚のリードフレームの両面に半導体チップが配置された
ようなデバイスとは異なる。また、この発明のマルチチ
ップ半導体モジュールは、各半導体チップがウエハプロ
セスによって個々のチップとして形成される点で、1枚
の半導体基板上に順次配線層や層間絶縁層を積層して構
成される所謂3次元IC（集積回路）とは異なる。

【0003】

【従来の技術】マルチチップ半導体モジュールは、半導
体チップを2次元的に配列したものと、半導体チップを
積み重ねて3次元的に配列したものと、それらを複合した
配置を取るものとに大別される。また、それぞれの半
導体チップの電極をどのような方式で接続するかによっ
ても分類される。

【0004】2次元配列のマルチチップ半導体モジュ
ールとしては、例えば半導体チップの電極をプリント基
板にワイヤボンディングによって直接接続したCOB
（チップ・オン・ボード）方式のものが知られている。
このCOB方式は、メモリーカード等の比較的安価な民
生品に古くから使用されている。また、半導体チップを
一旦TAB（テープ・オートメテッド・ボンディン
グ）方式によって実装し、そのリードをプリント基板や
セラミック基板、シリコン基板に半田付けや合金接合に
より接続したものも実用化されている。また、半導体チ
ップの電極パッド上に半田や金、ニッケル銅などからな
る金属バンプを形成し、プリント基板やセラミック基
板、シリコン基板にフェイスダウンボンディングして接
続したもの（フリップチップ方式）も知られている。こ
のフリップチップ方式はコンピュータ用のデバイスから
メモリーカード等の民生品に至るまで使用されている
（特開昭63-42157等）。もちろん、これらの複

(2)

4

数の接続技術を組み合わせる実装したものも多い（特開
平04-44256等）。

【0005】3次元配列のマルチチップ半導体モジュ
ールとしては、①米国エヌ・チップ（nCHIP）社が
開発した、サイズが大きい半導体チップ上にサイズが小
さい半導体チップを接着剤等を介して積み重ねて、上下
のチップの電極パッド同士をワイヤボンディングで接続
したものが有名である。また、②TCP（テープ・キャ
リア・パッケージ）を積み重ねて、各TCPのリード同
士を接続したものもある（特開平01-309362、
平02-134859）。また、③半導体ウエハ上にス
ルーホールを設けた半導体ウエハを重ねて、このスルー
ホールを金属で埋め込んで各チップの電極同士を接続し
たもの（特開昭63-213943）や、④半導体ウエ
ハ上に、金属で埋め込んだスルーホールを持つ半導体ウ
エハを重ねて、この金属で各チップの電極同士を接続し
たものがある（特開平05-55454）。また、⑤こ
れらのスルーホールの一部又は全部をトレンチ（溝）で
代用したものも提案されている（特開平05-4147
8、特開平05-198738）。

【0006】

【発明が解決しようとする課題】上記従来のマルチチ
ップ半導体モジュールには次のような問題がある。

【0007】まず、2次元配列のマルチチップ半導体
モジュールは、上記いずれの方式のものであっても単位
面積当たりの実装密度に限界がある。最も密度の上がる
フリップチップ方式のものにしても3次元配列のもの
には及ばない。また、チップの電極につながる配線が平
面方向に延びて長くなるため、高周波に対する応答特性
が良くないという問題がある。

【0008】また、3次元配列のマルチチップ半導体
モジュールのうち、半導体チップを積み重ねて、上下の
チップの電極同士をワイヤボンディングで接続したもの
（上記①）は、不良チップが存在した場合にワイヤを簡
単には取り除くことができず、不良チップのリペア（交
換等の作業）ができないという問題がある。また、ワイ
ヤボンディングが可能な位置、すなわちチップ周辺に電
極パッドを形成する必要があるため、チップ設計上の制
約が大きくなる。また、ワイヤ接続本数が増えるにつれ
て、実装時間が比較的長くなり、実装コストが高くなる
という問題がある。

【0009】また、TCPを積み重ねて、各TCPのリ
ード同士を接続したもの（上記②）は、不良チップのリ
ペアは可能だが、各半導体チップを一旦TCPに実装す
るため、実装密度が低くなり、かつ実装コストが高くな
るという問題がある。また、サイズの異なるTCPを複
数個重ねることが困難であり、製品設計上の制約が大き
い。

【0010】また、半導体ウエハを重ねて、スルーホ
ールやトレンチ内の金属によってチップの電極同士を接続

(3)

5

したもの(上記③, ④, ⑤)は、スルーホールやトレントを金属で埋め込んでいるので、不良チップのリペアができない。また、ウエハプロセスで積層構造が形成されるため、ウエハプロセスが複雑でチップコストが高くなる。しかも、組立プロセスにおいて様々な種類の半導体チップを組み合わせ得るという自由がなく、製品設計に制約がある。

【0011】そこで、この発明の目的は、単位体積当たりの実装密度を高めることができ、応答特性に優れ、不良チップのリペアを行うことができ、コストを低減でき、かつチップ設計上および製品設計上の制約を少なくすることができるマルチチップ半導体モジュールを提供することにある。また、そのようなマルチチップ半導体モジュールを構成するのに適した半導体チップを提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の半導体チップは、基板と、この基板の表面側に設けられた電極パッドを備え、上記基板に、この基板の裏面側から上記電極パッドの裏面に達する貫通穴が形成され、この貫通穴の内壁は絶縁膜で覆われており、上記電極パッドの上記裏面に接触し、上記絶縁膜で内壁が覆われた上記貫通穴を通して上記基板の裏面側に突出する金属バンプが設けられていることを特徴としている。

【0013】また、請求項2に記載の半導体チップは、上記貫通穴が上記基板の表面側より裏面側の開口面積が大きいテーパ状になっていることを特徴とする、請求項1に記載の半導体チップである。また、請求項3に記載の半導体チップは、上記金属バンプの上記基板裏面側の露出面が、上記金属バンプの材料よりも低融点の材料からなるメッキ層で覆われていることを特徴とする、請求項1又は請求項2に記載の半導体チップである。また、請求項4に記載の半導体チップは上記メッキ層が金又は半田からなることを特徴とする、請求項1乃至請求項3のいずれかに記載の半導体チップである。

【0014】また、請求項5に記載のマルチチップ半導体モジュールは、請求項1乃至請求項4のいずれかに記載の半導体チップを、基板の表面側に電極パッドを有する別の半導体チップ上に積み重ねられた状態で備え、上記一の半導体チップの裏面側の上記金属バンプと、上記一の半導体チップの下側に存する半導体チップの表面側の上記電極パッドとが、互いに対向して異方性導電膜を介して接続されていることを特徴としている。

【0015】また、請求項6に記載のマルチチップ半導体モジュールは、請求項3又は請求項4に記載の半導体チップを、基板の表面側に電極パッドを有する別の半導体チップ上に積み重ねられた状態で備え、上記金属バンプと上記電極パッドとが上記メッキ層を介して接続されていることを特徴としている。

6

【0016】また、請求項7に記載のマルチチップ半導体モジュールは、請求項6に記載のマルチチップ半導体モジュールにおいて、上記下側に存する半導体チップの上記電極パッドの表面に、上記金属バンプのメッキ層の材料と合金を形成し得る材料からなるメッキ層が設けられていることを特徴としている。

【0017】

【作用】請求項1の半導体チップは、基板の表面側に電極パッドを有するとともに、基板の裏面側に突出する金属バンプを有している。したがって、例えばこの半導体チップを、基板の表面側に電極パッドを有する別の半導体チップ上に異方性導電膜を挟んで積み重ねることによって、請求項3のようなマルチチップ半導体モジュールが簡単かつ容易に構成される。また、この半導体チップを複数積み重ねたものを、さらに基板の表面側に電極パッドを有する別の半導体チップや配線基板上に積み重ねても良い。この他にも自由な組み合わせが可能である。このように、この半導体チップによれば、様々な種類のマルチチップ半導体モジュールが簡単かつ容易に構成される。

【0018】請求項3又は請求項4の半導体チップは、上記金属バンプの上記基板裏面側の露出面が、上記金属バンプの材料よりも低融点の材料からなるメッキ層で覆われている。したがって、例えばこの半導体チップを、基板の表面側に電極パッドを有する別の半導体チップ上に積み重ね、上記メッキ層が溶融する温度に加熱することによって、請求項6のようなマルチチップ半導体モジュールが簡単かつ容易に構成される。また、この半導体チップを複数積み重ねたものを、さらに基板の表面側に電極パッドを有する別の半導体チップや配線基板上に積み重ねても良い。この他にも自由な組み合わせが可能である。このように、この半導体チップによれば、様々な種類のマルチチップ半導体モジュールが簡単かつ容易に構成される。

【0019】請求項4のマルチチップ半導体モジュールは、請求項1乃至請求項3のいずれかに記載の半導体チップと、別の半導体チップとを積み重ねられた状態で備えているので、半導体チップを2次元的に配列する場合や一旦TCPに実装する場合に比して、単位体積当たりの実装密度が高まる。また、金属バンプがチップの電極同士をつなぐ配線となることから、平面方向に配線が設けられる場合に比して配線の長さが短くなって、高周波に対する応答特性が良好になる。また、一の半導体チップの金属バンプと下側に存する半導体チップの電極パッドとの接続は、接続に用いた異方性導電膜を溶解することによって解除され得る。したがって、不良チップのリペアが容易に行われる。また、積層構造がウエハプロセスではなく組立プロセスで形成されるので、チップコストが低減される。しかも、チップの電極同士が金属バンプによって一括ボンディングされるので、実装時間

7

が短くなる。また、このマルチチップ半導体モジュールは、半導体チップを一旦TCPに実装することなく、各半導体チップを直接積み重ねて構成される。したがって、チップコストとともに実装コストが低減される。また、ワイヤボンディングを行わないので、電極パッドもチップ内の任意の領域に設けて良く、チップ設計上の制約が少ない。しかも、組立プロセスにおいて様々な種類の半導体チップを組み合わせ得るので、製品設計上の制約も少なくなる。

【0020】請求項6のマルチチップ半導体モジュールは、請求項3又は請求項4の一の半導体チップと、別の半導体チップとを積み重ねられた状態で備えているので、半導体チップを2次元的に配列する場合や一旦TCPに実装する場合に比して、単位体積当たりの実装密度が高まる。また、金属バンプがチップの電極同士をつなぐ配線となることから、平面方向に配線が設けられる場合に比して配線の長さが短くなって、高周波に対する応答特性が良好になる。また、上記下側に存する半導体チップを裏面から加熱して、上記金属バンプを覆っているメッキ層を溶融させることによって、上記一の半導体チップの金属バンプと下側に存する半導体チップの電極パッドとの接続は、接続に用いた異方性導電膜を溶解することによって解除され得る。したがって、不良チップのリペアが容易に行われる。また、積層構造がウエハプロセスではなく組立プロセスで形成されるので、チップコストが低減される。しかも、チップの電極同士が金属バンプによって一括ボンディングされるので、実装時間が短くなる。また、このマルチチップ半導体モジュールは、半導体チップを一旦TCPに実装することなく、各半導体チップを直接積み重ねて構成される。したがって、チップコストとともに実装コストが低減される。また、ワイヤボンディングを行わないので、電極パッドもチップ内の任意の領域に設けて良く、チップ設計上の制約が少ない。しかも、組立プロセスにおいて様々な種類の半導体チップを組み合わせ得るので、製品設計上の制約も少なくなる。

【0021】請求項7のマルチチップ半導体モジュールは、上記下側に存する半導体チップの上記電極パッドの表面に、上記金属バンプのメッキ層の材料と合金を形成し得る材料からなるメッキ層が設けられている。したがって、組立時に、上記一の半導体チップの金属バンプのメッキ層と、上記下側に存する半導体チップの電極パッドのメッキ層とを接触させ、加熱もしくは加圧またはその両方を行うことによって容易に接続が行われる。

【0022】

【実施例】以下、この発明を実施例により詳細に説明する。

【0023】まず、この発明の一実施例の半導体チップについて説明する。

【0024】図1は一実施例の半導体チップの作製過程

(4)

8

を示している。

【0025】①まず、同図(a)に示すように、厚み625μmのシリコン基板1の表面側に、CMOS（相補型MOS）プロセスにより、図示しないMOSトランジスタ等の能動素子を形成するとともに、Alからなる第1メタル配線層2と、層間絶縁膜3と、第2メタル配線層4と、保護膜5とを形成する。なお、9は第1メタル配線層2の電極パッド部分を示し、41は第2メタル配線層4の電極パッド部分を示している。

【0026】②次に、同図(b)に示すように、シリコン基板1を所定の厚み、好ましくは厚み40μmになるまで研磨する。研磨方法としては、まず通常の裏面研磨装置（図示せず）により機械研磨を行って基板1の厚みが200μmになるまで研磨し、その後、基板1の表面側をワックス90等で保護した状態で、基板1の裏面側をさらにKOH、NaOHもしくはフッ硝酸等を用いてケミカルエッチングする方法で行う。この際、チップのスクライブラインもエッチングしておけば、実装時にダイシングする必要がない。

【0027】③次に、基板1の裏面にフォトレジスト91をコートし、露光および現像を行って、フォトレジスト91のうち電極パッド9に対応する部分を除去して開口91aを形成する。しかる後、同図(c)に示すように、KOH、NaOHもしくはフッ硝酸等を用いて基板1を選択的にエッチングして、基板1に、この基板の裏面側から電極パッド9、9の裏面に達する貫通穴7、7を形成する。このとき、貫通穴7、7は裏面側から表面側へ向かって断面寸法が次第に小さくなるテーパ形状に仕上がる。ここで開口91aは、電極パッド9内に位置するように形成すると、開口91aの面積は電極パッド9の面積よりも小さくなり、基板に対して垂直な貫通穴を形成すると、後に形成する金属バンプの突出部の面積も小さくなり、他のチップや配線基板等の電極との接触面積も小さくなって、適切な接触抵抗が得られない恐れがある。本発明では貫通穴の開口を電極パッド9の露出部よりも面積を大きくして、接触部の面積を適正化できる。また、貫通穴を垂直形状とすると、他の電極と金属バンプとの接触面積を確保するためには電極パッド9の面積を希望する接触面積と同程度以上としなければならず、微細化に適さないが、本発明のようにテーパ形状とすることで電極パッド9の面積を小さくできる。更に他のチップ等の電極と接続する際の加圧に対し、基板の厚さのばらつきや金属バンプの高さのばらつきにより特定の金属バンプに荷重が集中する場合も考えられるが、通常より高い荷重が加わった場合でも、貫通穴にテーパを持つので電極9だけでなくテーパ面でも荷重を受けとめることになり、電極9へのダメージを緩和できる。

【0028】④次に、同図(d)に示すように、レジスト91を剥離して除去した後、CVD（化学気相成長）法

(5)

9

等により、基板1の裏面に SiO_2 、 SiN 等からなる絶縁膜8を全面(貫通穴7の内壁を含む)に形成する。この絶縁膜8はチップ裏面の保護膜となる。続いて、同図(e)に示すように、ドライエッチングにより、絶縁膜8のうち電極パッド9に対応する部分を除去して、電極パッド9の裏面を露出させる。

【0029】なお、基板1の裏面に保護膜を形成する方法として、基板1の裏面に感光性ポリイミド等の樹脂をコートし、露出および現像を行って、電極パッド9に対応する部分のみを除去する方法もある。

【0030】⑤次に、この状態の基板1を Zn の無電解メッキ液に浸漬して、電極パッド9の裏面に厚さ $0.3 \sim 0.5 \mu\text{m}$ の Zn メッキ(図示せず)を形成する。この処理により Al 面の酸化膜を除去して、 Zn メッキ界面に清浄な Al 面を確保することができる。この後、同図(f)に示すように、この状態の基板1を温度 90°C 、 $\text{pH}4.5$ の Ni 無電解メッキ液に2時間浸漬して、電極パッド9の裏面に無電解 Ni メッキ10を成長させる。これにより、電極パッド9の裏面に接触し、貫通穴7を通して基板1の裏面側に $10 \mu\text{m}$ だけ突出した Ni バンパ10を形成することができる。さらに、 Ni バンパ10、10の露出面に、無電解 Au メッキにより厚み $0.2 \mu\text{m}$ の Au メッキ層11、11を形成する。金属バンパとして Ni バンパを用いているが、他にも、配線として使用でき、他の電極への接続時に変形を起こさない金属例えば金等を使用することができる。

【0031】⑥最後に、基板1の表面側の保護用ワックス90を除去して、半導体チップ16を完成させる。この半導体チップ1の電気テストは、チップ裏面側のバンパ10、10(正確にはメッキ層11、11)にプローバを接触させて、通常のテストにより行うことができる。

【0032】この半導体チップ16によれば、様々な種類のマルチチップ半導体モジュールを簡単かつ容易に構成することができる。

【0033】次に、この発明の一実施例のマルチチップ半導体モジュールについて説明する。

【0034】図2(b)に示すように、このマルチチップ半導体モジュール20Aは、半導体チップ16Aと、別の種類の半導体チップ15Aとを積み重ねられた状態で備えている。

【0035】半導体チップ16Aは図1(g)の半導体チップ16と同じものである。一方、半導体チップ15Aは、シリコン基板6の表面側に、図示しない MOS トランジスタ等の能動素子を形成するとともに、 Al からなる電極パッド14、14を形成したものである。電極パッド14、14は、半導体チップ16Aの Ni バンパ10、10と対応する位置に設けられている。基板6の表面のうち電極パッド14の周囲の部分は保護膜12で覆われている。

10

【0036】このマルチチップ半導体モジュール20Aを組み立てる場合、図2(a)に示すように、まず半導体チップ15Aの表面側に、熱硬化性樹脂を母材とする異方性導電膜13を電極パッド14、14を覆うように仮付けする。次に、ステージ99上に半導体チップ15Aを載置し、その上方に半導体チップ16Aを移動させる。そして、半導体チップ16Aの水平位置を微調整して、半導体チップ16Aの裏面側に突出した Ni バンパ10、10と半導体チップ15Aの電極パッド14、14とが互いに対向する位置に位置決めする。続いて、半導体チップ16Aを下方へ移動させて半導体チップ15Aに押し付けて本圧着を行う。圧着条件は、例えば圧力 20 kg/cm^2 、温度 200°C 、時間20秒とする。これにより、図2(b)に示すように、半導体チップ16Aの Ni バンパ10、10と半導体チップ15Aの電極パッド14、14とが異方性導電膜13を介して接続される。このようにして容易に組み立てが行われる。

【0037】組立完了後、半導体チップ15Aの外部電極パッド41、41にプローバを接触させて、電気テストを行う。テストの結果、いずれかの半導体チップが不良であることが判明した場合は、半導体チップ16Aと15Aの間にリペア用溶剤を注入して、異方性導電膜13を剥離して除去する。これにより、半導体チップ16Aの Ni バンパ10、10と半導体チップ15Aの電極パッド14、14との間の接続が解除される。したがって、不良チップのリペアを容易に行うことができる。

【0038】また、このマルチチップ半導体モジュール20Aは、半導体チップ16A、15Aを積み重ねられた状態で備えているので、半導体チップを2次元的に配列する場合や一旦 TCP に実装する場合に比して、単位体積当たりの実装密度を高めることができる。つまり、半導体チップ16Aは研磨によって厚み $40 \mu\text{m}$ 程度になっているので、半導体チップ16A、15Aを重ね合わせた後の厚みも TCP を重ね合わせた構造のものよりかなり薄くすることができる。したがって、このマルチチップ半導体モジュールを実装して製品に用いた場合、製品を小型化することができる。

【0039】また、金属バンパ10がチップの電極14同士をつなぐ配線となることから、平面方向に配線が設けられる場合に比して配線の長さを短くでき、高周波に対する応答特性を良くすることができる。

【0040】また、半導体チップ15A、16Aの基板材料はいずれもシリコンであるので、周囲温度が多少変化したとしても、熱膨張、特に基板面方向の線膨張によるチップ15A、16A間の歪みが生じにくい。したがって、異なる基板材料からなるチップを接続する場合に比して接続の信頼性を高めることができる。

【0041】また、積層構造をウエハプロセスではなく組立プロセスで形成するので、チップコストを低減できる。しかも、組立プロセスで、チップの電極14同士が

(6)

11

金属バンプ10によって一括ボンディングされるので、実装時間を短くすることができる。また、このマルチチップ半導体モジュール20Aは、半導体チップを一旦TCPに実装することなく、各半導体チップ16A、15Aを直接積み重ねて構成される。したがって、チップコストとともに実装コストを低減できる。

【0042】また、組立プロセスでワイヤボンディングを行わないので、電極パッド14をチップ内の任意の領域に設けて良く、チップ設計上の制約が少ない。しかも、組立プロセスにおいて様々な半導体チップを組み合

わせ得るので、製品設計上の制約も少なくすることができる。

【0043】次に、上記マルチチップ半導体モジュールの変形例20Bについて説明する。

【0044】図3(b)に示すように、このマルチチップ半導体モジュール20Bは、半導体チップ16Bと、別の種類の半導体チップ15Bとを積み重ねられた状態で備えている。

【0045】半導体チップ16Bは、図1(g)の半導体チップ16と略同等のものである。ただ、Niバンプ10、10の露出面に、Auメッキ層11、11に代えて、無電解半田メッキにより厚み5 μ mの半田メッキ層11B、11Bが形成されている点のみが異なっている。

【0046】一方、半導体チップ15Bは、図2(b)中に示した半導体チップ15Aと略同等のものである。Alからなる電極パッド14、14の表面に、それぞれTi/Wからなるバリアメタル層19と、厚み0.5 μ mのAuメッキ層18とが形成されている点のみが異なっている。なお、17はAl層14上にTi/W層19、Au層18を有する電極パッド全体を示している。

【0047】このマルチチップ半導体モジュール20Bを組み立てる場合、図3(a)に示すように、温度280℃に保持されたステージ99上に半導体チップ15Bを載置し、その上方に半導体チップ16Bを移動させる。そして、半導体チップ16Bの水平位置を微調整して、半導体チップ16BのNiバンプ10、10と半導体チップ15Bの電極パッド17、17とが互いに対向する位置に位置決めする。続いて、半導体チップ16Bを下方へ移動させて半導体チップ15B上に載置する。すると、図3(b)に示すように、Niバンプは変形せず、Niバンプ10、10を覆う半田メッキ層11Bが熔融して、半導体チップ16BのNiバンプ10、10と半導体チップ15Bの電極パッド17、17とが半田11Bを介して接続される。このようにして容易に組み立てが行われる。

【0048】組立完了後、半導体チップ15Bの外部電極パッド41、41にプローバを接触させて、電気テストを行う。テストの結果、いずれかの半導体チップが不良であることが判明した場合は、ステージ99を300

12

℃に加熱して半田11Bを熔融させた状態で、半導体チップ16Bと半導体チップ15Bとを離間させる。これにより、不良チップのリペアを容易に行うことができる。

【0049】また、このマルチチップ半導体モジュール20Bは、図2に示したマルチチップ半導体モジュール20Aと同様に、単位体積当たりの実装密度を高めることができ、応答特性に優れ、コストを低減でき、かつチップ設計上および製品設計上の制約を少なくすることができる。

【0050】図4は、1枚の寸の半導体チップ15上に3つの積層構造20A、20B、20Cを設けて構成されたマルチチップ半導体モジュール20を示している。

【0051】ここで、半導体チップ15を構成するシリコン基板6の表面には、積層構造20A、20B、20Cを構成するのに用いられる電極パッド14に加えて、最外周に電極パッド21、21が設けられている。

【0052】3つの積層構造のうち両側に設けられた積層構造20A、20Bは図2、図3に示したものと同一構造となっている。

【0053】中央に設けられた積層構造20Cは、シリコン基板6上に積み重ねられた2つの半導体チップ16E、16Dを備えている。この領域では、シリコン基板6の表面側に、Al層14、Ti/W層19およびAu層20からなる電極パッド17、17が形成されている。電極パッド17、17は半導体チップ16EのNiバンプ10、10と対応する位置に設けられている。半導体チップ16Eは図3中に示した半導体チップ16Bと略同等のものである。ただ、第2メタル配線層4上の保護膜5に開口が設けられている点のみが異なっている。半導体チップ16Dは、図1(g)の半導体チップ16と同じものである。

【0054】この積層構造20Cを組み立てる場合、まず、半導体チップ16Eは、ステージ99上に半導体チップ16Eを載置し、その上方に半導体チップ16Dを移動させて、半導体チップ16DのNiバンプ10、10と半導体チップ16Eの電極パッド14、14とが互いに対向する位置に位置決めする。続いて、半導体チップ16Dを下方へ移動させて半導体チップ16Eに押し付けて熱圧着を行う。次に、積層された半導体チップ16E、16Dを、半導体チップ16EのNiバンプ10、10と基板6側の電極パッド17、17とが互いに対向する位置に位置決めし、温度280℃に加熱された基板6上に載置する。すると、半導体チップ16EのNiバンプ10、10を覆う半田メッキ層11Bが熔融して、半導体チップ16EのNiバンプ10、10と基板6の電極パッド17、17とが半田11Bを介して接続される。このようにして、この積層構造20Cは容易に組み立てられる。

(7)

13

【0055】両側に設けられた積層構造20A, 20Bも既に述べたように容易に組み立てられる。したがって、このマルチチップ半導体モジュール20全体が容易に組み立てられる。

【0056】組立完了後、各積層構造20A, 20B, 20Cについて、それぞれ上側に存する半導体チップ16A, 16B, 16Dの外部電極パッド41, 41にプローバを接触させて、電気テストを行う。テストの結果、積層構造20Aに不良チップが含まれていることが判明した場合は、半導体チップ16Aと基板6との間にリペア用溶剤を注入して、異方性導電膜13を剥離して除去する。これにより、半導体チップ16AのNiバンプ10, 10と基板6の電極パッド14, 14との間の接続が解除される。また、積層構造20Bに不良チップが含まれていることが判明した場合は、基板6を300℃に加熱して半田11Bを熔融させた状態で、半導体チップ16Bと基板6とを離間させる。また、積層構造20Cに不良チップが含まれていることが判明した場合は、同様に基板6を300℃に加熱して半田11Bを熔融させた状態で、半導体チップ16D, 16Eを積層状態のまま基板6からを離間させる。これにより、不良チップのリペアを容易に行うことができる。

【0057】また、このマルチチップ半導体モジュール20は、積層構造20A, 20B単独の場合(図2, 図3)と同様に、単位体積当たりの実装密度を高めることができ、応答特性に優れ、コストを低減でき、かつチップ設計上および製品設計上の制約が少なくすることができる。

【0058】図5は、図4に示したマルチチップ半導体モジュール20をトランスファモールドにより実装した状態を示している。モジュール20は、半導体チップ15を下側にした状態で、リードフレーム24のヘッダ部24aに接続材25によって取り付けられている。半導体チップ15の最外周電極パッド21と、リードフレーム24のピン部24bとが、ワイヤボンディング方式によりワイヤ22によって接続されている。そして、モジュール20およびリードフレーム24が、ピン部24aの先端を除いて、樹脂23によってモールドされている。

【0059】図6は、図4に示したマルチチップ半導体モジュール20をTCP(テープキャリアパッケージ)に実装した状態を示している。モジュール20として半導体チップ15の最外周電極パッド21, 21の表面に予めAuバンプ29, 29を設けたものが用いられている。この最外周電極パッド21, 21は、Auバンプ29, 29を介して、ポリイミドフィルム27に取り付けられたCuリード26, 26にシンプルポイントボンディング方式により接続されている。そして、モジュール20の積層構造側、すなわち半導体チップ15の表面側が樹脂28によって封止されている。

14

【0060】図7は、図4に示したマルチチップ半導体モジュール20をセラミックパッケージに実装した状態を示している。モジュール20は、半導体チップ15を下側にした状態で、パッケージの外囲器30内に接続材25によって取り付けられている。半導体チップ15の最外周電極パッド21と、図示しないインナーリード(アウターリード32につながる)とが、ワイヤボンディング方式によりワイヤ22によって接続されている。そして、このパッケージは、外囲器30にガラス板31を貼り付けることによって密封されている。

【0061】このように、この発明を適用したマルチチップ半導体モジュール20を用いて様々な製品を作製することができる。

【0062】図8は、マルチチップ半導体モジュール50をPWB(印刷回路基板)51上にフェイスダウンボンディング方式により実装した例を示している。

【0063】このマルチチップ半導体モジュール50は、図4に示したマルチチップ半導体モジュール20の最下層の半導体チップ15に、裏面側に突出する金属バンプ10を設けたものである。すなわち、半導体チップ15は、表面側の配線層の裏面に接触し、貫通穴を通して基板6の裏面側に突出する複数のNiバンプ10を有している。各Niバンプ10の基板裏面側の露出面は、半田メッキ層11Bで覆われている。この半導体チップ15上に積層された半導体チップ16A, 16B, 16E, 16Dは図4に示したものと同一である。

【0064】一方、PWB51の表面側には、上記半導体チップ15のNiバンプ10に対応した位置に、Al層, Ti/W層およびAu層からなる電極パッド17, 17が形成されている。

【0065】実装は、ステージ上にPWB51を載置し、マルチチップ半導体モジュール50を水平方向に移動させて、半導体チップ15のNiバンプ10, 10, …とPWB51側の電極パッド17, 17とが互いに対向する位置に位置決めし、PWB51上に載置する。そして、リフローにより、半導体チップ15のNiバンプ10, 10, …を、半田11Bを介してPWB51側の電極パッド17, 17と接続する。このようにして、簡単に実装を行うことができる。

【0066】実装完了後の電気テストによって、マルチチップ半導体モジュール50に不良チップが含まれていることが判明した場合、上記マルチチップ半導体モジュール20と同様に、不良チップのリペアを容易に行うことができる。

【0067】また、このマルチチップ半導体モジュール50は、単位体積当たりの実装密度を高めることができ、応答特性に優れ、コストを低減でき、かつチップ設計上および製品設計上の制約を少なくすることができる。

【0068】なお、この実施例では、各半導体チップ金

(8)

15

属バンプ10の露出面のメッキ層をAu11または半田11Bとしたが、これに限られるものではなく、In, Snなどとしても良い。また、電極パッド14の最表面のメッキ層をAu18としたが、これに限られるものではなく、Zn, NiもしくはCuまたはこれらの組み合わせとしても良い。

【0069】また、金属バンプ10を、電極パッド14の裏面に接触し、貫通穴7を通して基板の裏面側に突出するものとしたが、これに限られるものではない。金属バンプを、貫通穴7側に設けるのではなく、電極パッド14の表面側に上記基板の厚さ寸法を超える高さ寸法で立設しても良い。例えば、そのような半導体チップを積み重ねてマルチチップ半導体モジュールを構成する場合、一の半導体チップの表面側に立設した金属バンプを、この一の半導体チップの上側に存する別の半導体チップの貫通穴に嵌合し、上記一の半導体チップの金属バンプの先端を上記上側に存する半導体チップの電極パッドの裏面に接続する。このようにした場合、金属バンプを貫通穴側に設けた場合と同様に、単位体積当たりの実装密度を高めることができ、応答特性に優れ、不良チップのリペアを行うことができ、コストを低減でき、かつチップ設計上および製品設計上の制約を少なくすることができる。

【0070】

【発明の効果】以上より明らかなように、請求項1の半導体チップは、基板の表面側に電極パッドを有するとともに、基板の裏面側に突出する金属バンプを有しているので、様々な種類のマルチチップ半導体モジュールを簡単かつ容易に構成することができる。

【0071】請求項3又は請求項4の半導体チップは、上記金属バンプの上記基板裏面側の露出面が、上記金属バンプの材料よりも低融点の材料からなるメッキ層で覆われているので、上記メッキ層が溶融する温度に加熱することによって、上記金属パッドと別の半導体チップの電極パッドとを接続でき、様々な種類のマルチチップ半導体モジュールを簡単かつ容易に構成することができる。

【0072】請求項4のマルチチップ半導体モジュールは、請求項1乃至請求項3のいずれかに記載の一の半導体チップと、別の半導体チップとを積み重ねられた状態で備えているので、半導体チップを2次元的に配列する場合や一旦TCPに実装する場合に比して、単位体積当たりの実装密度が高めることができる。また、金属バンプがチップの電極同士をつなぐ配線となることから、平面方向に配線が設けられる場合に比して配線の長さを短くでき、高周波に対する応答特性を良くすることができる。また、一の半導体チップの金属バンプと下側に存する半導体チップの電極パッドとの接続は、接続に用いた異方性導電膜を溶解することによって解除できるので、不良チップのリペアを容易に行うことができる。また、

16

積層構造がウエハプロセスではなく組立プロセスで形成されるので、チップコストが低減できる。しかも、チップの電極同士が金属バンプによって一括ボンディングされるので、実装時間を短くできる。また、このマルチチップ半導体モジュールは、半導体チップを一旦TCPに実装することなく、各半導体チップを直接積み重ねて構成される。したがって、チップコストとともに実装コストを低減できる。また、ワイヤボンディングを行わないので、電極パッドもチップ内の任意の領域に設けて良く、チップ設計上の制約を少なくすることができる。しかも、組立プロセスにおいて様々な種類の半導体チップを込み合わせ得るので、製品設計上の制約も少なくすることができる。

【0073】請求項6のマルチチップ半導体モジュールは、請求項3又は請求項4の一の半導体チップと、別の半導体チップとを積み重ねられた状態で備えているので、半導体チップを2次元的に配列する場合や一旦TCPに実装する場合に比して、単位体積当たりの実装密度を高めることができる。また、金属バンプがチップの電極同士をつなぐ配線となることから、平面方向に配線が設けられる場合に比して配線の長さを短くでき、高周波に対する応答特性を良くすることができる。また、上記下側に存する半導体チップを裏面から加熱して、上記金属バンプを覆っているメッキ層を溶融させることによって、上記一の半導体チップの金属バンプと下側に存する半導体チップの電極パッドとの接続を解除できるので、不良チップのリペアが容易に行われる。また、積層構造がウエハプロセスではなく組立プロセスで形成されるので、チップコストを低減できる。しかも、チップの電極同士が金属バンプによって一括ボンディングされるので、実装時間を短くできる。また、このマルチチップ半導体モジュールは、半導体チップを一旦TCPに実装することなく、各半導体チップを直接積み重ねて構成される。したがって、チップコストとともに実装コストを低減できる。また、ワイヤボンディングを行わないので、電極パッドもチップ内の任意の領域に設けて良く、チップ設計上の制約を少なくすることができる。しかも、組立プロセスにおいて様々な種類の半導体チップを込み合わせ得るので、製品設計上の制約も少なくすることができる。

【0074】請求項7のマルチチップ半導体モジュールは、上記下側に存する半導体チップの上記電極パッドの表面に、上記金属バンプのメッキ層の材料と合金を形成し得る材料からなるメッキ層が設けられているので、組立時に、上記一の半導体チップの金属バンプのメッキ層と、上記下側に存する半導体チップの電極パッドのメッキ層とを接触させ、加熱もしくは加圧またはその両方を行うことによって容易に接続を行うことができる。

【図面の簡単な説明】

【図1】 この発明の一実施例の半導体チップの作製過

(9)

17

程を示す図である。

【図2】 この発明の一実施例のマルチチップ半導体モジュールの組立過程を示す図である。

【図3】 この発明の別の実施例のマルチチップ半導体モジュールの組立過程を示す図である。

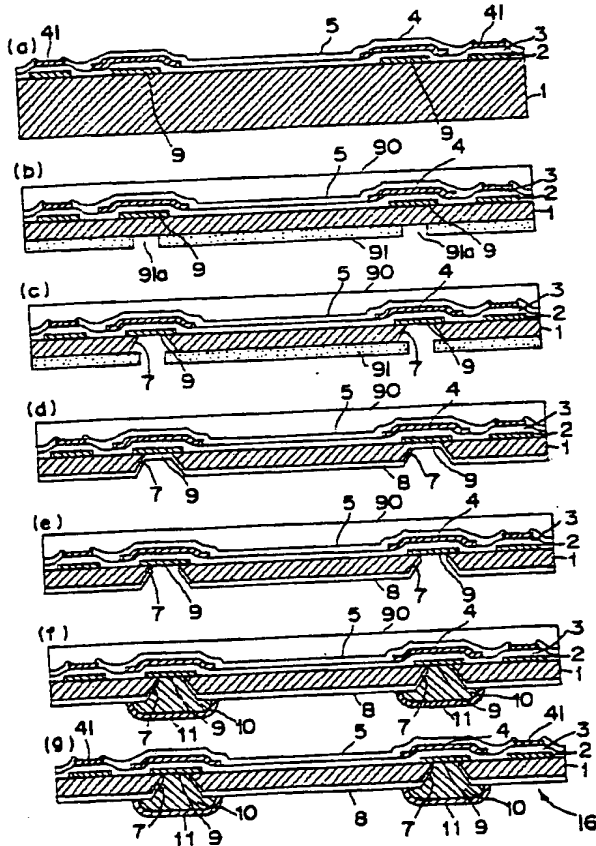
【図4】 この発明の別の実施例のマルチチップ半導体モジュールを示す図である。

【図5】 図4のマルチチップ半導体モジュールをモールドして実装した例を示す図である。

【図6】 図4のマルチチップ半導体モジュールをTCPに実装した例を示す図である。

【図7】 図4のマルチチップ半導体モジュールをセラミックパッケージに実装した例を示す図である。

【図1】



18

【図8】 この発明の別の実施例のマルチチップ半導体モジュールをPWBに実装した例を示す図である。

【符号の説明】

1, 6 シリコン基板

7 貫通穴

9, 14, 17 電極パッド

10 Niパンプ

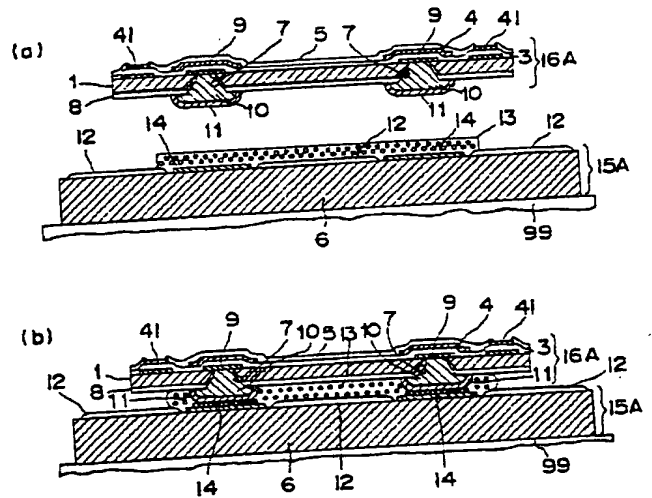
11, 18 Auメッキ層

11B 半田メッキ層

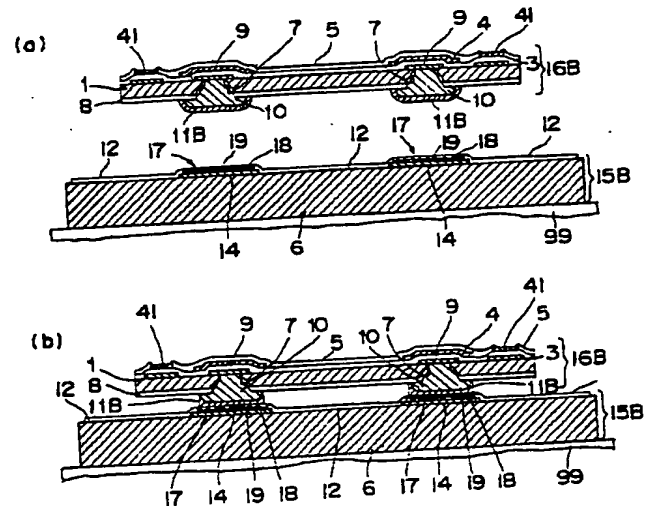
15, 15A, 15B, 16, 16A, 16B, 16D, 16E 半導体チップ

20, 20A, 20B, 50 マルチチップ半導体モジュール

【図2】

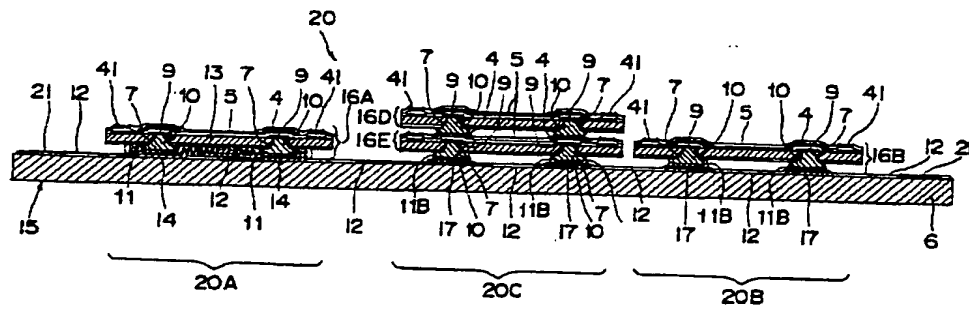


【図3】

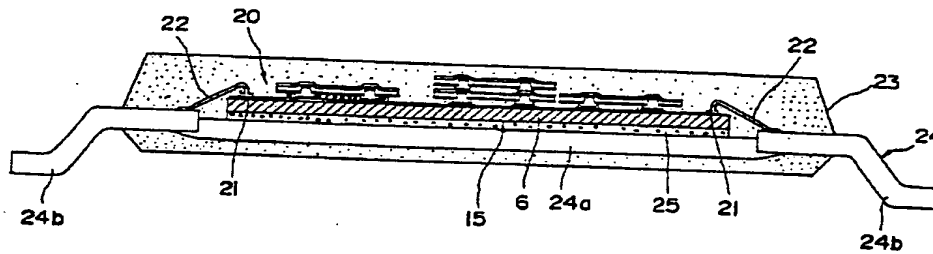


(10)

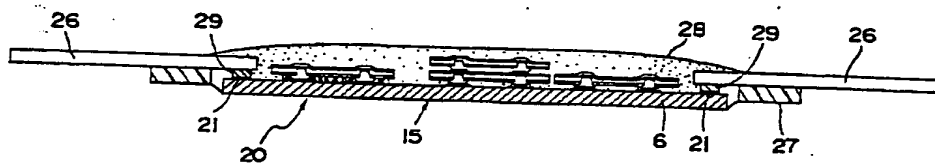
【図4】



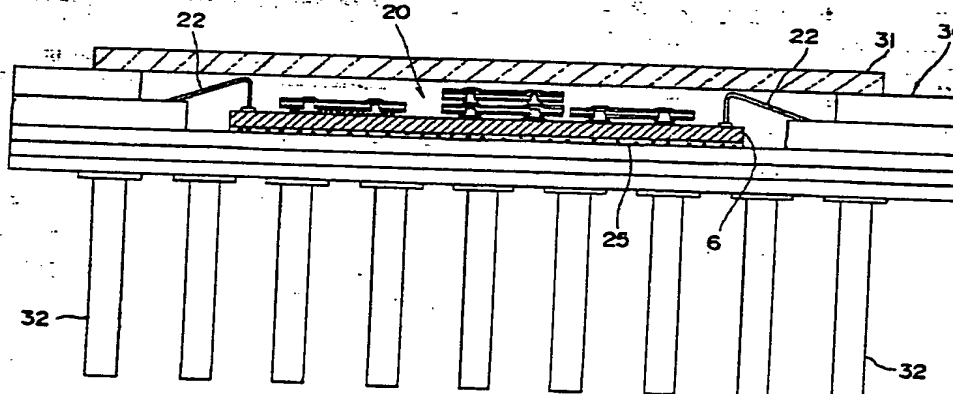
【図 5】



【図 6】

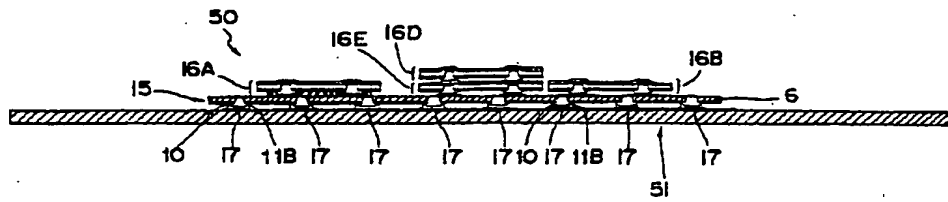


【图 7】



(11)

【図8】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

H 0 1 L 25/07

H 0 1 L 21/92

6 0 2 D

25/18

(58) 調査した分野(Int. Cl. 7, D B 名)

H01L 23/12

H01L 21/60

H01L 25/00

